

# 1. GİRİŞ

İletişim teknolojileri, özellikle de son yıllarda oldukça önem kazanan gezgin iletişim teknolojileri, gerçek zamanlı çalışan ve bu nedenle de üzerinde yürüdüğü sistemlerin performansından doğrudan doğruya etkilenen sistemlerdir. Bu nedenle özellikle gezgin iletişimde talep patlamasının yaşandığı günümüzde sistem başarımlarının artırılması önem kazanmaktadır. Başarım artışı için önemli bir aday teknoloji de alan programlanabilir kapı dizileridir (Field Programmable Gate Array - FPGA). FPGA teknolojisi temelde tasarımı yapılan uygulamaya özel entegre devrelerin (Application Specific Integrated Circuit - ASIC) prototiplerinin kolay üretilmesini sağlamak olsa da özellikle son yıllarda içerdikleri kapı sayısının bir kaç milyon seviyesini aşması ile işaret işleme için uygun hale gelmişlerdir. FPGA'ler sayesinde iletişim altyapısındaki işaret işleme ihtiyaçları dağıtık işlemciler üzerinde paralel olarak yürütülebilmekte ve ciddi başarımlarına yol açmaktadır [1]. Çalışmamızda FPGA üzerinde yürütülen paralel algoritmaların gezgin iletişim sistemlerinde kullanılan akıllı anten sistemlerine uygulanmasını ve bu sayede elde edilen başarımlarını incelemekteyiz.

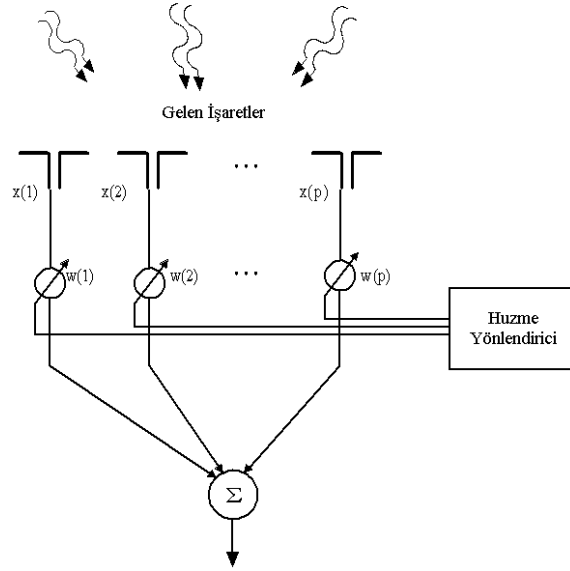
Gezgin iletişim teknolojilerine artan talep servis sağlayıcıları kapasite artırımına yönlendirmektedir. Bu amaçla özellikle yoğun talebin bulunduğu bölgelerde bir yandan yeni istasyonlar kurularak kapasite artırılmaya çalışılırken bir yandan da Kod Bölmeli Çoklu Erişim (Code Division Multiple Access -CDMA), Konum Bölmeli Çoklu Erişim (Space Division Multiple Access - SDMA) gibi mevcut fiziksel ortamı zorlamadan kapasiteyi artıracak çoklu erişim yöntemleri üzerinde durulmaktadır. CDMA teknolojisi hem alıcı hem de verici kısmında kapsamlı değişiklikler gerektiren bir teknoloji olması nedeniyle önümüzdeki yıllarda devreye girecek 3. nesil haberleşme sistemlerinde kullanılmaya başlanabilecektir. Bununla birlikte her ne kadar SDMA teknolojisinin de 3. nesil haberleşme sistemleri ile başlayacağı öngörülse de haberleşme altyapısına eklenebilen akıllı anten sistemleri ile halen kullandığımız 2. nesil haberleşme sistemlerine de eklenebileceği ortaya konmuştur [2][3].

Söz konusu akıllı anten sistemleri anten huzmesinin sıfırlarını ve tepe noktalarını kullanıcılara göre ayarlayarak, aynı kanalı farklı konumlardaki kullanıcılara kullandırılması yoluyla kapasite artırımını hedefleyen SDMA teknolojisinin kullanımını sağlamaktadır [2]. Bununla birlikte akıllı anten sistemleri yönlendirilmiş anten huzmeleri sağladığı için kullanıcının doğrultusunda daha yüksek bir anten kazancı sağlamakta böylece işaret/gürültü oranında iyileşme sağlayarak hizmet kalitesinin de artırılmasını sağlayabilmektedir.

Projemizde akıllı anten sistemlerinin uyumlanabilen süzgeç algoritmalarının paralel işlemcilerle FPGA üzerine uygulanmasını içermektedir. Böylece anten uyumlanma başarımının iyileştirilmesi amaçlanmaktadır.

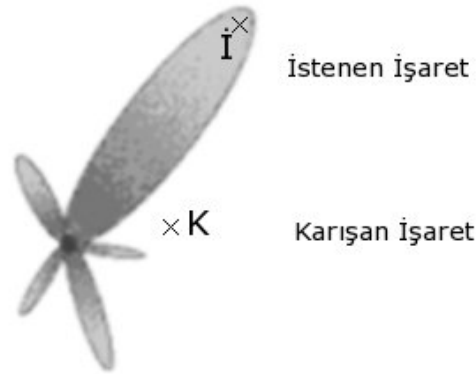
## 2. UYARLANIR DİZİ ALGORİTMALARI

Uyumlanabilir diziler huzmelerini en uygun şekilde getirerek iletişim başarımını en yüksek seviyede tutmayı amaçlayarak kurulmuş sistemlerdir. Genel bir uyarlanırlar dizi şeması Şekil 1 de gösterilmiştir. Şema da gösterildiği gibi gelen işaretler algılayıcılar üzerinde  $x(1)$ ,  $x(2)$ , ... $x(n)$  işaretlerini oluştururlar. Oluşan bu işaretler huzme yönlendirici tarafından işlenerek alıcılardan gelen işaretleri en uygun seviyeye getirecek ağırlıklar hesaplanır. Ağırlık uygulanmış alıcı işaretlerinin toplanması ile uyarlanırlar anten çıkışı elde edilir.

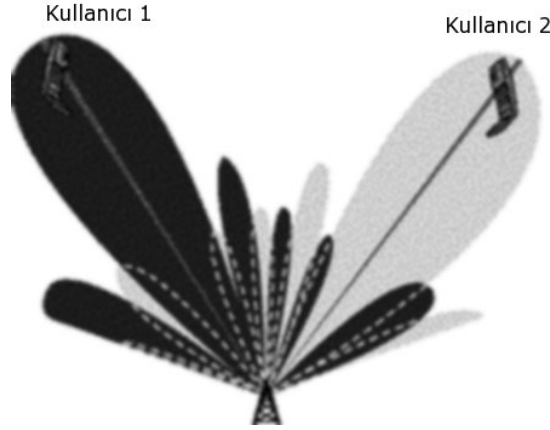


Şekil 1 Genel Uyarlanı Dizi Yapısı

Elde edilen dizi çıktısı istenen işaret ile karışan işaretleri birbirinden ayırmayı amaçlamaktadır bu nedenle huzme yönlendirici algoritması, sıfır noktalarını karışan kullanıcılara, yüksek kazanç noktasını ise istenen kullanıcıya yönlendirerek iletişim başarımını artırmayı amaçlamaktadır. Uyarlanı bir dizinin yönlendirilmiş huzmesi Şekil 2 de görülebilmektedir. Burada  $K$  karışan işareti  $I$  ise istenen işareti temsil etmektedir. Şekilden de görülebileceği gibi  $K$  kullanıcısına huzmenin sıfır noktası denk düşmekte iken  $I$  kullanıcısına en yüksek noktası isabet etmektedir. Böylece karışan işaret istenen işareti etkilememekte iletişim kalitesi artırılmaktadır. Farklı bir uyarlanı anten kullanılması durumunda ise karışan işaret de aynı noktadaki iletişim sistemi tarafından istenen işaret olarak nitelendirilerek algılanabilecek böylece iletişim sisteminin kapasitesi artırılabilir. Böyle bir sistemin örneği şekil 3 te görülebilir.[3]



Şekil 2 Uyarlanı Anten Yönlendirilmiş Huzmesi [9]



Şekil 3 Uyarlanırlı Anten Sistemi ile 2 farklı kullanıcının hizmetten yararlanması [9]

### 3. PARALEL UYARLANIR DİZİ ALGORİTMALARI

Uyumlanabilir dizi algoritmaları, temel olarak uyumlanabilir süzgeç algoritmalarının algılayıcı dizileri için geliştirilmiş olanlardır. Çalışmamızda ise öz-yinelemeli en küçük kareler (Recursive Least Squares - RLS) algoritmasını tercih ettik. RLS algoritmasının paralel yürütülmesi için ise QR ayrıştırması (QR decomposition) tabanlı bir RLS algoritması (QRD-RLS) tanımlanmıştır.

RLS algoritmasında  $t_n$  anındaki ağırlıklar ( $\underline{w}(n)$ ) aşağıdaki gibi bulunabilir;

$$\underline{R}(n)\underline{w}(n) + \underline{\varrho}(n) = \underline{0} \quad (1)$$

Burada  $\underline{R}_{xx}$   $(p-1) \times (p-1)$  veri değişim matrisini  $\underline{\varrho}(n)$  ise  $(p-1)$  elemanlı çapraz ilinti vektörüdür [4];

$$\begin{aligned} \underline{R}_{xx}(n) &= \underline{X}^H(n)\underline{X}(n) \\ \underline{\varrho}(n) &= \underline{X}^H(n)\underline{y}(n) \end{aligned} \quad (2)$$

Matris çözümlerinde kullanılan QR ayrıştırmasını RLS probleminin çözümünde de kullanabiliriz, böylece algoritmayı tek bir sistolik dizi kullanarak uygulayabiliriz. QR ayrıştırmasında ilk olarak  $\underline{X}(n)$  veri matrisini üst üçgen bir matrise çeviririz;

$$\underline{Q}(n)\underline{X}(n) = \begin{bmatrix} \underline{R}(n) \\ \underline{0} \end{bmatrix} \quad (3)$$

burada  $\underline{Q}(n)$   $(p-1) \times (p-1)$  bir dik bir matrisi  $\underline{R}(n)$  ise  $(p-1) \times (p-1)$  üst üçgen matrisi belirtmektedir.  $\underline{Q}(n)$  dik olduğu için;

$$\|\underline{e}(n)\| = \left\| \begin{bmatrix} \underline{R}(n) \\ \underline{0} \end{bmatrix} \underline{w}(n) + \begin{bmatrix} \underline{u}(n) \\ \underline{v}(n) \end{bmatrix} \right\| \quad (4)$$

burada;

$$\begin{bmatrix} \underline{u}(n) \\ \underline{v}(n) \end{bmatrix} = \underline{Q}(n)\underline{y}(n) \quad (5)$$

olarak hesaplanır. En küçük kareler (RLS) ağırlık vektörü ise aşağıdaki gibi bulunabilir;

$$\underline{R}(n)\underline{w}(n) + \underline{u}(n) = \underline{0} \quad (6)$$

böylece hata vektörü  $\|\underline{e}(n)\|$  en aza indirilmiş olur [4].

Gerçek zamanlı işaret işleme gibi öz-yinelemeli sistemlerde  $\underline{R}(n)$  ve  $\underline{u}(n)$  elde edilen her yeni veri

ile güncelleştirilir.

$$\underbrace{Q^T \cdot \begin{bmatrix} R \\ x^T \end{bmatrix}}_{\begin{bmatrix} R \\ 0 \end{bmatrix}} \cdot w = \underbrace{Q^T \cdot \begin{bmatrix} y \\ \beta^T \end{bmatrix}}_{\begin{bmatrix} u \\ \zeta \end{bmatrix}} \quad (7)$$

Bu nedenle her yeni veri vektörü için yeni üçgen güncelleştirme ve ters çözümlenmeye ihtiyaç duyulur.

Dik üçgenleştirme Givens Çevrimleri kullanılarak tüm matris elemanlarına taşınabilir. Givens Çevrimleri aşağıdaki gibi hesaplanabilir [4].

$$r'_i = \sqrt{r_i^2 + x_i^2} \quad (8)$$

$$c = \frac{r_i}{r'_i} \quad (9)$$

$$s = \frac{x_i}{r'_i} \quad (10)$$

Burada  $c$  ve  $s$  sınır hücrelerce hesaplanan ve satırdaki diğer hücelere de üçgenleştirmeyi uygulanmasını sağlayacak olan değişkenlerdir,  $r_i$  ise yeni gelen verilere göre sınır hücrede yeni  $c$  ve  $s$  değişkenlerinin tekrar hesaplanmasında kullanılan değişkendir.

Yukarıda tarif edilen algoritmanın paralel olarak işleyebilmesi için bir sistolik dizi yapısı kurulmalıdır. Söz konusu sistolik dizi Şekil 4 de görülebilir.

Şekil 4 de gösterilen sistolik dizide 3 ayrı tip hücre kullanılmaktadır. Söz konusu hücreler Şekil 5 de ayrıntılı olarak görülmektedir. Şekil 2-A da gösterilen ve Şekil 5'de köşegen üzerine yerleştirilmiş olan hücreler "sınır hücrelerdir". Sınır hücreler Givens çevrimi parametrelerinin hesaplanması ve yan hücelere iletilerek QR ayrıştırmasının tüm veri matrisine uygulanmasından sorumludur. Söz konusu parametreler (11)-(14) eşitliklerinde belirtildiği gibi hesaplanır.

$$r' = \sqrt{r^2 + |x|^2} \quad (11)$$

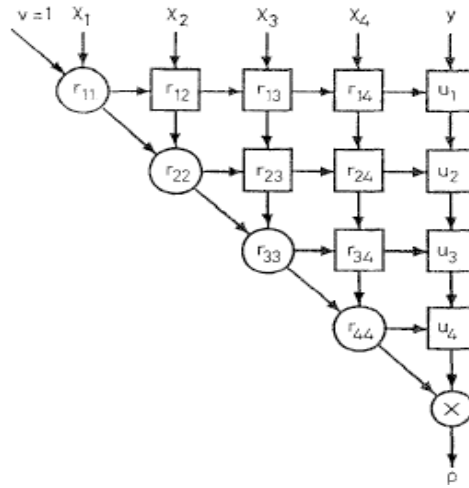
eğer  $x$  sıfır ise

$$c = 1, s = 0 \quad (12)$$

aksi takdirde

$$c = \frac{r}{r'}; s = \frac{x}{r'} \quad (13)$$

$$r \leftarrow r'; \gamma = c\gamma \quad (14)$$



Şekil 4 Uyumlanabilir QR ayrıştırması tabanlı RLS algoritmasını yürüten sistolik dizi

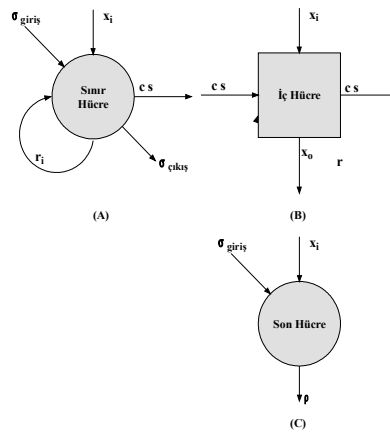
Şekil 5-B’de gösterilen hücreler ise "iç hücrelerdir". İç hücrelerde alınan veri matrisi elemanlarına QR ayrıştırması için sınır hücrelerin oluşturduğu parametreler aşağıdaki gibi uygulanır.

$$x' = cx - sr \quad (15)$$

$$r \leftarrow sx + cr \quad (16)$$

En son olarak Şekil 5-C’de görülen hücre hata hesaplamasının sonucunun hesaplanmasında kullanılır ve sadece çarpım işlemi uygulanır.

Şekil 4’ de  $x_1-x_4$  ile alınan gerçek zamanlı veri temsil edilmektedir,  $y$  ise yine gerçek zamanlı referans veridir. Söz konusu sistolik dizi sonucu olarak elde edilen değer anlık ağırlık vektörlerine göre gerçek zamanlı hata verisidir. Ağırlık vektörleri tüm sistolik dizinin ağırlık hesaplama modundan çalışmaya başlaması ile  $u_1-u_4$  hücrelerinin çıkışlarından elde edilir [5][6]. Yukarıda bahsedilen sistolik dizinin FPGA ortamında uygulanması ise her bir hücrenin ayrı birer işlemci olarak tanımlanması ve birbirlerine yine yukarıda bahsedilen verileri aktarmaları ile mümkündür. Böylece matris çarpımı gibi yoğunluğu yüksek işlemlerin kullanıldığı QR tabanlı RLS algoritması paralel yürütülen işlemciler sayesinde çok daha hızlı bir şekilde sonuç verebilir.



Şekil 5 Uyumlanabilir QR ayrıştırması tabanlı RLS hücreleri (A)Sınır Hücre (B)İç Hücre (C)Son Hücre

## REFERANSLAR

- [1] Walke, R.L.; Smith, R.W.M.; Lightbody, G.; "Architectures for adaptive weight calculation on ASIC and FPGA" Signals, Systems, and Computers, 1999
- [2] Lotter, M.P.; Van Rooyen, P.; "An overview of space division multiple access techniques in cellular systems" Communications and Signal Processing, 1998
- [3] Baltersee J. "Smart Antennas and Space-Time Processing" Rapor Aachen University of Technology Mayıs 1998
- [4] Mcwhirter J.G. , Shepherd T.J. "Systolic Array Processor for MVDR Beamforming" IEE Proceedings on Radar and Signal Processing F , Volume: 136 , Issue: 2 , April 1989
- [5] Mcwhirter J.G. "Adaptive Signal Processing" Digital Signal Processing for Radar and Sonar Applications, Tutorial Meeting on , 11-12 Sep 1990
- [6] Moonen M., Vandewalle J. "A systolic array for recursive least squares computations" IEEE Transactions on Signal Processing , Volume: 41 , Issue: 2 , Feb. 1993